

(3) Japanese Patent Application Laid-Open No. 7-287548 (1995):  
"PLASMA DISPLAY PANEL OF AC DISCHARGE MATRIX METHOD AND  
METHOD OF DRIVING THE SAME"

5       The following is an extract relevant to the present application.

In a PDP 11, row electrodes Y<sub>1</sub>-Y<sub>n</sub> and row electrodes X<sub>1</sub>-X<sub>n</sub> are formed on the inside of a glass substrate 110 (a surface opposed to a glass substrate 113) so that they are aligned in a paired manner. These row electrodes are 10 covered with a dielectric layer 111, and an Mgo (magnesium oxide) layer 112 is evaporated thereon. Column electrodes D<sub>1</sub>-D<sub>m</sub> to which a phosphor is applied are formed on the glass substrate 113.

In a PDP 11', in addition, an auxiliary discharge row electrode Y<sub>p</sub> and an auxiliary discharge row electrode X<sub>p</sub> in a pair are formed on the inside of 15 the glass substrate 110 as in the case between the row electrodes Y<sub>1</sub>-Y<sub>n</sub> and the row electrodes X<sub>1</sub>-X<sub>n</sub>. The gap length between the auxiliary discharge row electrodes Y<sub>p</sub> and X<sub>p</sub> is set to be narrower than between the row electrodes Y<sub>1</sub>-Y<sub>n</sub> and the row electrodes X<sub>1</sub>-X<sub>n</sub>. There may be a case where 20 the auxiliary discharge row electrodes Y<sub>p</sub> and X<sub>p</sub> are not covered with a dielectric layer. Electrode areas of the auxiliary discharge row electrodes Y<sub>p</sub> and X<sub>p</sub> are smaller than of the row electrodes Y<sub>1</sub>-Y<sub>n</sub> and the row electrodes X<sub>1</sub>-X<sub>n</sub>.

A light-tight mask 114 for intercepting emitted light by discharge emission of the auxiliary discharge row electrodes Y<sub>p</sub> and X<sub>p</sub> is formed on a 25 surface of the glass substrate 110.

Compulsory writing discharge as auxiliary discharge is successively performed in the order in which pairs of row electrodes are aligned, while performing writing of pixel data.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-287548

(43) 公開日 平成7年(1995)10月31日

(51) Int.Cl.<sup>6</sup>  
G 0 9 G 3/28  
H 0 1 J 11/00  
H 0 4 N 5/66

識別記号 E 9378-5G  
府内整理番号  
B  
1 0 1 B

F I

技術表示箇所

審査請求 未請求 請求項の数6 O.L (全9頁)

(21) 出願番号 特願平6-79077

(22) 出願日 平成6年(1994)4月18日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 重田 哲也

山梨県甲府市大里町465番地バイオニア株式会社ディスプレイ研究所内

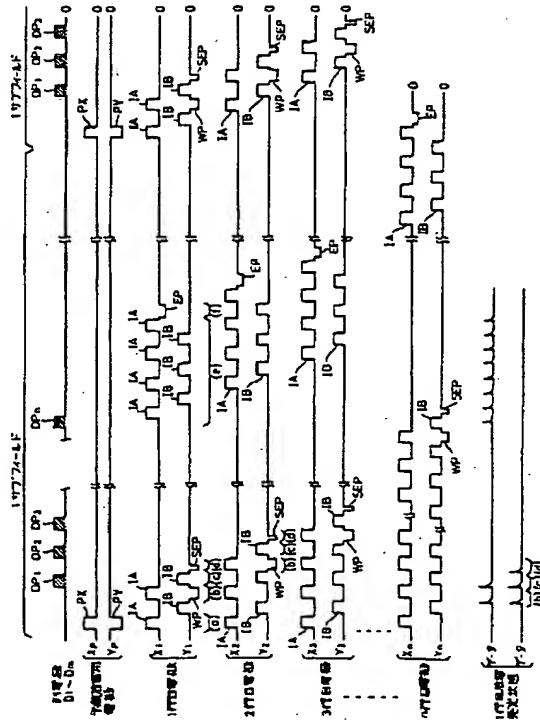
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法

(57) 【要約】

【目的】 低消費電力駆動を実現することが出来るプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【構成】 予備放電としての強制書き込み放電を行電極対の配列順にて順次実行しつつ画素データの書き込みを行う。



## 【特許請求の範囲】

【請求項 1】 2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなる交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法であって、前記行電極間に放電を励起させる強制書き込みパルスを前記行電極対の配列順にて順次前記行電極対の各々に印加して予備放電をなす予備放電行程と、画素データに応じた画素データパルスを順次前記列電極に印加して画素データの書き込みを行う書き込み行程とを有することを特徴とする交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法。

【請求項 2】 前記プラズマディスプレイパネルは、前記行電極対各々の内の第1配列の行電極対の外側近傍に予備放電用行電極対が形成されており、前記予備放電行程にて前記第1配列の行電極対に前記強制書き込みパルスが印加される前に前記予備放電用行電極対の放電を行う行程を有することを特徴とする請求項1記載の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法。

【請求項 3】 前記プラズマディスプレイパネルの前記行電極対各々の内の第1配列の行電極対の外側近傍には予備放電用行電極対が形成されていることを特徴とする交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 4】 前記プラズマディスプレイパネルの表面上には前記予備放電用行電極対の放電発光による発射光を遮光する遮光手段が形成されていることを特徴とする請求項3記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 5】 前記予備放電用行電極対は、前記電極対に比してギャップ長が狭いもしくは電極面積が小であることを特徴とする請求項3記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

【請求項 6】 前記予備放電用行電極対には誘電体層が被覆されていないことを特徴とする請求項3記載の交流放電型マトリックス方式のプラズマディスプレイパネル。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法に関する。

## 【0002】

【従来の技術】 プラズマディスプレイパネルは、周知の如く、薄形の2次画面表示器の1つとして近時種々の研究がなされており、その1つにメモリ機能を有する交流放電型マトリックス方式のプラズマディスプレイパネルが知られている。図1により、かかるプラズマディスプレイパネルを含む駆動装置の概略について説明する。

【0003】 かかる駆動装置は、入力信号としてのいわゆる複合ビデオ信号を処理する信号処理部1及びかかる信号処理部1からの駆動信号を受けて2次元画面の表示をなす表示部2からなっている。かかる信号処理部1において、A/D変換器3は、タイミングパルス発生回路6から供給されたタイミングパルスに同期して入力複合ビデオ信号をデジタル画素データに変換しこれをフレームメモリ8に供給する。同期分離回路5は、かかる入力複合ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路6に供給する。タイミングパルス発生回路6は、これら水平及び垂直同期信号に基づいた種々のタイミングパルスを発生する。メモリ制御回路7は、タイミングパルス発生回路6から供給されたタイミングパルスに同期した書き信号及び読み出信号をフレームメモリ8に供給する。フレームメモリ8は、かかる書き信号に応じて、A/D変換器3から供給された画素データを順次取り込む。又、フレームメモリ8は、かかる読み出信号に応じて、このフレームメモリ8内に記憶されている画素データを順次読み出して次段の出力処理回路9へ供給する。

【0004】 出力処理回路9は、供給された画素データ1フィールド毎に、その輝度階調に対応した第1～第8モード画素データを生成し、これらをタイミングパルス発生回路6からのタイミングパルスに同期して画素データパルス発生回路12に供給する。行電極駆動パルス発生回路10は、タイミングパルス発生回路6からのタイミングパルスに応答して、放電発光を開始させるための走査パルス、放電状態を維持するための維持パルス、及び放電発光を停止させるための消去パルスを夫々発生してPDP(プラズマディスプレイパネル)11の行電極Y<sub>1</sub>、Y<sub>2</sub>、Y<sub>3</sub>…Y<sub>n-1</sub>、Y<sub>n</sub>及びX<sub>1</sub>、X<sub>2</sub>、X<sub>3</sub>…X<sub>n-1</sub>、X<sub>n</sub>に供給する。更に、行電極駆動パルス発生回路10は、画素データに拘らずに強制的に放電発光を開始させる強制書き込みパルスを発生してPDP11の行電極Y<sub>1</sub>～Y<sub>n</sub>夫々に印加する。

【0005】 画素データパルス発生回路12は、出力処理回路9から供給された1フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割した各行毎の画素データパルスを時分割にて列電極D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>…D<sub>m-1</sub>、D<sub>m</sub>へ印加する。図2は、かかるPDP11の構造を示す図である。

【0006】 図において、表示面である前面ガラス基板110の内面(背面ガラス基板113と対応する面)には、互いに対となるように行電極Y<sub>1</sub>～Y<sub>n</sub>及び行電極X<sub>1</sub>～X<sub>n</sub>夫々が形成されている。これら行電極は、誘電体層111にて被覆されている。かかる誘電体層111には、MgO(酸化マグネシウム)層112が蒸着されている。背面ガラス基板113には、蛍光体が塗布された列電極D<sub>1</sub>～D<sub>m</sub>が形成されている。

【0007】図3は、かかる駆動装置にて実施される256階調駆動シーケンスを示す図である。かかる256階調駆動においては、1フレームを、その輝度の相対比が夫々1:2:4:8:16:32:64:128である8つのサブフィールドS F 1～8にて形成する。従って、これらサブフィールドS F 1～8を1フレーム期間内に実行させるためには、高速駆動動作が必須となり消費電力が増加するという問題があった。

【0008】そこで、低消費電力にて高速駆動動作を行うことが出来るPDPの駆動装置が提案されている。図4は、かかる駆動装置による駆動動作タイミングを示す図である。かかる駆動装置においては、1つのサブフィールド内にて初期リセットサイクルRC、書き込みサイクルWC及び放電維持サイクルICを実行する。

【0009】先ず、初期リセットサイクルRCにおいては、消去パルスEPを行電極X<sub>1</sub>～X<sub>n</sub>夫々に同時に印加して全ての画素セルを消去状態にする。かかる動作後に、強制書き込みパルスWPを行電極Y<sub>1</sub>～Y<sub>n</sub>夫々に同時に印加して全ての画素セルを放電させる。かかる放電動作により、各行電極には壁電荷が蓄積される。かかる放電動作の実行後に再び消去パルスEPを行電極X<sub>1</sub>～X<sub>n</sub>夫々に同時に印加する。かかる消去パルスEPの印加により各行電極に蓄積されていた壁電荷の値は放電維持発光を行えない程度までに落ちる。

【0010】かかる初期リセットサイクルRCにより、各画素セル内には放電維持発光を行えない程度の壁電荷が形成される。すなわち、上述の初期リセットサイクルRCにて予備放電がなされるのである。次に、書き込みサイクルWCにおいては、画素データパルスD P<sub>1</sub>～D P<sub>n</sub>を順次列電極D<sub>1</sub>～D<sub>n</sub>に印加しつつ走査パルスSPを行電極Y<sub>1</sub>～Y<sub>n</sub>に順次印加することにより1フィールド分の画素データに応じた書き込み放電を行う。

【0011】次に、放電維持サイクルICにおいては、維持パルスIAを所定期間毎に行電極X<sub>1</sub>～X<sub>n</sub>夫々に同時に印加すると共に、かかる維持パルスIAが行電極X<sub>1</sub>～X<sub>n</sub>に印加されていない期間中に維持パルスIBを行電極Y<sub>1</sub>～Y<sub>n</sub>の夫々に同時に印加する。かかる維持パルスの印加により、上述の書き込みサイクルWCにて書き込み放電した画素の放電発光状態を維持する。

【0012】以上の如く、かかる駆動装置においては、画素データに応じた書き込み放電を実行する前に、予備放電を行うことにより予め各画素セル内に壁電荷を形成しておく構成としている。よって、画素データの書き込み放電の際には、既に各画素セル内に壁電荷が形成されているので、書き込みトリガとしての走査パルスのパルス電圧値が比較的低電圧値であっても放電が生じることになる。つまり、走査パルスのパルス電圧値を低く設定することによる低消費電力化がなされるのである。

【0013】ここで、かかる駆動装置においては、その予備放電を実行するにあたり、一旦、強制書き込みパルス

WPを全てのX行電極に同時に印加して、全ての画素セルを同時に放電状態にするようにしている。しかしながら、上述の如く、全ての画素セルを同時に放電状態にするためには、かかる強制書き込みパルスWPのパルス電圧値を大とする必要があり、この予備放電自体が低消費電力化の妨げになるという問題があった。

#### 【0014】

【発明が解決しようとする課題】本発明はかかる問題を解決するためになされたものであり、低消費電力駆動を実現することが出来る交流放電型マトリックス方式のプラズマディスプレイパネル及びその駆動方法を提供することを目的としてなされたものである。

#### 【0015】

【課題を解決するための手段】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法は、2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなる交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法であって、前記行電極対間に放電を励起させる強制書き込みパルスを前記行電極対の配列順にて順次前記行電極対の各々に印加して予備放電をなす予備放電行程と、画素データに応じた画素データパルスを順次前記列電極に印加して画素データの書き込みを行う書き込み行程とを有する。

【0016】又、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルは、前記プラズマディスプレイパネルの行電極対各々の内の第1配列の行電極対の外側近傍に予備放電用行電極対が形成されている。

#### 【0017】

【作用】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法においては、予備放電としての強制書き込み放電を行電極対の配列順にて順次実行しつつ画素データの書き込みを行う。

#### 【0018】

【実施例】図5は、本発明による駆動方法に従って駆動を行う交流放電型マトリックス方式のプラズマディスプレイパネル駆動装置の構成を示す図である。かかる駆動装置は、入力信号としてのいわゆる複合ビデオ信号を処理する信号処理部1及び信号処理部1からの駆動信号を受けて2次元画面の表示をなす表示部2からなっている。

【0019】図5の信号処理部1において、A/D変換器3は、入力複合ビデオ信号をタイミングパルス発生回路6から供給されたタイミングパルスに同期してデジタル画素データに変換しこれをフレームメモリ8に供給する。同期分離回路5は、かかる入力複合ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路6に供給する。タイミングパルス発生回路6は、これら水平及び垂直同期信号に基づいた種々

のタイミングパルスを発生する。メモリ制御回路7は、タイミングパルス発生回路6から供給されたタイミングパルスに同期した書込信号及び読出信号をフレームメモリ8に供給する。フレームメモリ8は、かかる書込信号に応じて、A/D変換器3から供給された画素データを順次取り込む。又、フレームメモリ8は、かかる読出信号に応じて、このフレームメモリ8内に記憶されている画素データを順次読み出して次段の出力処理回路9へ供給する。

【0020】出力処理回路9は、供給された画素データ1フィールド毎に、その輝度階調に対応した第1～第8モード画素データを生成し、これらをタイミングパルス発生回路6からのタイミングパルスに同期して画素データパルス発生回路12に供給する。行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスに応答して、放電状態を維持するための維持パルスIA及びIB、放電発光を停止させるための消去パルスEPを夫々発生し、これらをPDP11'の行電極Y<sub>1</sub>～Y<sub>n</sub>及びX<sub>1</sub>～X<sub>n</sub>に夫々印加する。又、行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスに応答して、PDP11'の誘電体層111内を予備放電させるための予備放電パルスPY及び予備放電パルスPXを夫々発生し、これらをPDP11'の予備放電用行電極Y<sub>p</sub>及び予備放電用行電極X<sub>p</sub>に夫々印加する。又、行電極駆動パルス発生回路10'は、タイミングパルス発生回路6から供給されたタイミングパルスに応答して、強制的に放電発光を励起させる強制書き込みパルスWPを発生し、これをPDP11'の行電極Y<sub>1</sub>～Y<sub>n</sub>もしくは行電極X<sub>1</sub>～X<sub>n</sub>に印加する。更に、行電極駆動パルス発生回路10'は、行電極に蓄積されている壁電荷の電荷値が所定値以上である場合にこの壁電荷を選択的に消去する選択消去パルスS<sub>EP</sub>を発生してこれをPDP11'の行電極Y<sub>1</sub>～Y<sub>n</sub>もしくは行電極X<sub>1</sub>～X<sub>n</sub>に印加する。

【0021】画素データパルス発生回路12は、出力処理回路9から供給された1フィールド分の画素データの論理「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを各行毎に分割し、この分割された各行毎の画素データパルスを時分割にて列電極D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>…D<sub>m-1</sub>、D<sub>m</sub>へ印加する。図6は、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルとしてのPDP11'の構造を示す図である。

【0022】図6において、表示面である前面ガラス基板110の内面（背面ガラス基板113と対抗する面）には、互いに対となるように行電極Y<sub>1</sub>～Y<sub>n</sub>及び行電極X<sub>1</sub>～X<sub>n</sub>が形成されている。更に、かかる前面ガラス基板110の内面には、一対の予備放電用行電極Y<sub>p</sub>及び予備放電用行電極X<sub>p</sub>が、上述の行電極Y<sub>1</sub>～Y<sub>n</sub>及び

X<sub>1</sub>～X<sub>n</sub>と同様な形態にて形成されている。尚、かかる予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>は、上記の行電極Y<sub>1</sub>～Y<sub>n</sub>及び行電極X<sub>1</sub>～X<sub>n</sub>に比してギャップ長を狭くしてあり、かかる構成により低電圧にて放電可能なものとなっている。又、予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>を誘電体層にて被覆しない構成としても低電圧にて放電可能なものとなる。又、かかる予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>は、上記の行電極Y<sub>1</sub>～Y<sub>n</sub>及び行電極X<sub>1</sub>～X<sub>n</sub>に比して電極面積を小さくしており、かかる構成により低電流にて放電可能なものとなっている。

【0023】これら行電極の各々は、誘電体層111にて被覆されている。かかる誘電体層111には、MgO（酸化マグネシウム）層112が蒸着されている。背面ガラス基板113には、蛍光体が塗布された列電極D<sub>1</sub>～D<sub>m</sub>が形成されている。ここで、上記前面ガラス基板110の表示面上から見て一対の行電極及び列電極が交差する領域が1画素セルとなる。かかる前面ガラス基板110の表面には、予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>の放電発光による発射光を遮断すべく遮光マスク114が形成されている。尚、画素データパルス発生回路12から供給された画素データパルスは、上述の予備放電用行電極Y<sub>p</sub>及びX<sub>p</sub>が形成されている側、すなわち図6の矢印にて示される方向から列電極D<sub>1</sub>～D<sub>m</sub>へ印加される。

【0024】図7は、かかる装置にて実行される本発明の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法を示す駆動動作タイミング図である。以下に、1行目電極にかかる画素セルを中心にしてその駆動動作を説明する。先ず、図7における行程(a)において、行電極駆動パルス発生回路10'は、正極性の予備放電パルスPXをPDP11'の予備放電用行電極X<sub>p</sub>に印加すると同時に、負極性の予備放電パルスPYをPDP11'の予備放電用行電極Y<sub>p</sub>に印加する。この際、かかる予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>に印加された正極性の予備放電パルスPX及び負極性の予備放電パルスPYの電位差が放電開始電圧を越えるので、かかる予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>間に放電が生じる。かかる放電に応じて、予備放電用行電極X<sub>p</sub>及びY<sub>p</sub>近傍に空間電荷が発生する。尚、かかる放電により発生する発射光は図5に示される遮光マスク114により遮断されるので、この発射光が前面ガラス基板110を通過して照射されることはない。つまり、PDP11'における実際の画像表示領域は図4の破線にて囲まれた領域となる。

【0025】次に、行程(b)において、行電極駆動パルス発生回路10'は、正極性の維持パルスIAを行電極X<sub>1</sub>に印加すると同時に負極性の強制書き込みパルスWPを行電極Y<sub>1</sub>に印加する。この際、かかる行電極X<sub>1</sub>及び行電極Y<sub>1</sub>に印加された正極性の維持パルスIA及び負極性の強制書き込みパルスWPの電位差が放電開始電圧を越えるので行電極X<sub>1</sub>及び行電極Y<sub>1</sub>の電極間に放電が生じる。すなわち、かかる行程(b)にて、PDP

11' の 1 行目の画素セル全てが、画素データに拘らずに放電発光るのである。かかる放電発光により、行電極 X<sub>1</sub> 及び行電極 Y<sub>1</sub> の電極近傍には所定電荷値以上の壁電荷が形成される。つまり、かかる行程 (b) において予備放電がなされるのである。尚、かかる行程 (b) における 1 行目の強制書き込みにおいては、上記行程 (a) にて実行された予備放電により、行電極 X<sub>1</sub> 及び行電極 Y<sub>1</sub> に隣接して形成されている予備放電用行電極 X<sub>P</sub> 及び Y<sub>P</sub> には空間電荷が残留している。よって、この際、行電極 Y<sub>1</sub> に印加する強制書き込みパルス W<sub>P</sub> のパルス電圧値が低電圧値であっても行電極 X<sub>1</sub> 及び行電極 Y<sub>1</sub> 間に放電発光が生じるのである。かかる行程 (b) の実行後に行程 (c) が実行される。

【0026】かかる行程 (c) において、画素データパルス発生回路 12 は、1 行目の画素データに対応した m ビット分の画素データパルス D<sub>P1</sub> を、PDP11' の列電極 D<sub>1</sub> ~ D<sub>m</sub> の対応する電極夫々に印加する。これと共に行電極駆動パルス発生回路 10' は、正極性の維持パルス I<sub>B</sub> を行電極 Y<sub>1</sub> に印加する。尚、図においては、かかる正極性の維持パルス I<sub>B</sub> と画素データパルス D<sub>P1</sub> を同時に印加しているが、必ずしも同時に印加する必要はない。つまり、互いにずれたタイミングにて印加されていても、維持パルス I<sub>B</sub> の立ち上がりもししくは立ち下がり時点で画素データパルス D<sub>P1</sub> が印加されれば良いのである。

【0027】かかる画素データパルス D<sub>P1</sub> 及び維持パルス I<sub>B</sub> の印加に応じて、行程 (b) と同様に 1 行目の画素セル全てが放電発光を行う。この際、かかる列電極各々には 1 行目の画素データに基づいた電圧値を有する画素データパルスが夫々印加される。例えば、画素データが論理「0」の場合、列電極には 0 [V] のパルスが印加される一方、画素データが論理「1」の場合、列電極には正極性の電圧 VD[V] のパルスが印加される。すなわち、1 行目の各画素セルには、供給される画素データに応じた 0 [V] もしくは正極性の VD[V] のパルスが印加されるのである。ここで、かかる正極性の電圧 VD[V] のパルスが印加された画素セルでは、上述の行程 (b) にて蓄積された壁電荷の電荷値が上述の所定電荷値より小さな電荷値になる。一方、0 [V] のパルスが印加された画素セルでは、上述の行程 (b) にて蓄積された壁電荷の電荷値がそのまま残留する。

【0028】尚、図 7においては、行程 (b) の直後にかかる行程 (c) を実行するようにしているが、行程 (c) は、必ずしもかかる行程 (b) の直後に実行する必要はない。例えば、強制書き込みパルス W<sub>P</sub> の印加後の 2 番目もしくは 3 番目の維持パルス I<sub>B</sub> に合わせて画素データパルス D<sub>P1</sub> を印加して行程 (c) を実行するよ うにしても良いのである。つまり、画素データパルス D<sub>P1</sub> は行程 (b) の直後に印加された第 1 番目の維持パルス I<sub>B</sub> に合わせて印加する必要はないのである。

【0029】かかる行程 (c) の直後に直ちに行程 (d) が実行される。かかる行程 (d) において、行電極駆動パルス発生回路 10' は、負極性の選択消去パルス S<sub>E</sub><sub>P</sub> を PDP11' の行電極 Y<sub>1</sub> に印加する。この際、1 行目画素セルの内、壁電荷の電荷値が上述の所定電荷値以上となっている画素セルのみに放電発光が生じる。すなわち、上記選択消去パルス S<sub>E</sub><sub>P</sub> は、壁電荷の電荷値が上述の所定電荷値以上である場合に放電発光を起こすことが出来るような電圧値のパルスである。更に、かかる選択消去パルス S<sub>E</sub><sub>P</sub> は、放電発光後に壁電荷を形成することができない程度の短いパルス幅である。よって、かかる選択消去パルス S<sub>E</sub><sub>P</sub> の印加に応じて放電発光が生じた画素セルにおいては、その放電発光後に壁電荷が消滅する。一方、壁電荷の電荷値が上述の所定電荷値より小となっている画素セルにおいては、その壁電荷の電荷値が上述の所定電荷値より低いので、例え選択消去パルス S<sub>E</sub><sub>P</sub> が印加されても放電発光は生じない。よって、この際、かかる画素セル内には壁電荷が残留することになる。つまり、画素データ論理「0」に対応した画素データパルスが印加された画素セルには壁電荷が存在せず、画素データ論理「1」に対応した画素データパルスが印加された画素セルには壁電荷が残留するのである。

【0030】かかる行程 (b) ~ (d) の一連の動作により、画素データに対応した情報が残留壁電荷として 1 行目の各画素セルに書き込まれるのである。この行程 (b) ~ (d) の如き一連の書き込み動作を 2 行目以降の各行電極においても図 7 の如く順次実行していく。ここで、上述の行程 (b) における強制書き込み放電は、1 行 ~ n 行の順に順次実行していく。よって、強制書き込みパルス W<sub>P</sub> を印加しようとする「行」の前の「行」では既に強制書き込み放電が終了しており、この強制書き込み放電にて生成された空間電荷がこの隣接する「行」に残留していることになる。従って、この隣接「行」に残留している空間電荷を利用することにより、強制書き込みパルス W<sub>P</sub> のパルス電圧値を比較的低く設定しても行電極 X 及 Y 間に放電発光を生じさせることが出来るのである。よって、低電圧値の強制書き込みパルス W<sub>P</sub> にて安定した強制書き込み動作を行うことが可能となる。

【0031】上述の行程 (b) ~ (d) の如き動作を各行毎に順次実行して n 行目まで書き込みが終了した時点にて、再び 1 行目から順に行程 (e) の放電維持動作を開始する。かかる行程 (e) において、行電極駆動パルス発生回路 10' は、正極性の維持パルス I<sub>A</sub> 及び I<sub>B</sub> を交互に行電極 X<sub>1</sub> 及び Y<sub>1</sub> に印加する。かかる維持パルスの印加により、1 行目の各画素セルの内上述の残留壁電荷が存在する画素セルのみが放電発光を開始する。この際、かかる維持パルス I<sub>A</sub> 及び I<sub>B</sub> が交互に印加される度にかかる放電発光を繰り返し実行する。

【0032】次に、行程 (f) において、行電極駆動パ

ルス発生回路 10' は、負極性の消去パルス E Pを P D P 11' の行電極 X<sub>1</sub>に印加する。ここで、かかる消去パルス E Pは、各画素セルに残留している壁電荷を全て消滅し得るパルス幅及び電圧値を有するものである。よって、かかる消去パルス E Pの印加により、1行目の各画素セル内に残留していた壁電荷は全て消滅して放電発光が停止する。

【0033】この行程 (e)、(f) の如き動作を2行程以降の各行電極においても図7の如く順次実行する。かかる行程 (a)～(f) の一連の動作にて1サブフィールド分の書き込み放電がなされるのである。尚、上記実施例においては、行程 (a) の如き予備放電動作を1サブフィールドに1回実行するようにしているが、1サブフィールド中に数回実行するようにしても構わない。

#### 【0034】

【発明の効果】以上の如く、本発明による交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法においては、予備放電としての強制書き込み放電を行電極対の配列順にて順次実行しつつ画素データの書き込みを行うようにしている。この際、強制書き込み放電が終了した行電極近傍には空間電荷が残留しているので、この行の隣接行の強制書き込み放電の際には、かかる空間電荷を利用して放電を起こすことが出来るのである。

【0035】すなわち、本発明の駆動方法によれば、隣接行の空間電荷を利用して強制書き込み放電を行うことが

出来るので、かかる強制書き込み放電のトリガとなる強制書き込みパルスのパルス電圧値を低く設定することが可能となり低消費電力化を実現出来るのである。

#### 【図面の簡単な説明】

【図1】従来の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図2】PDP 11' の構造を示す図である。

【図3】256階調駆動シーケンスを示す図である。

【図4】従来の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置による駆動動作を示す図である。

【図5】本発明の駆動方法に従って駆動動作を行う交流放電型マトリックス方式のプラズマディスプレイパネルの駆動装置の構成を示す図である。

【図6】本発明による交流放電型マトリックス方式のプラズマディスプレイパネルとしてのPDP 11' の構造を示す図である。

【図7】本発明の交流放電型マトリックス方式のプラズマディスプレイパネルの駆動方法を示す駆動動作タイミング図である。

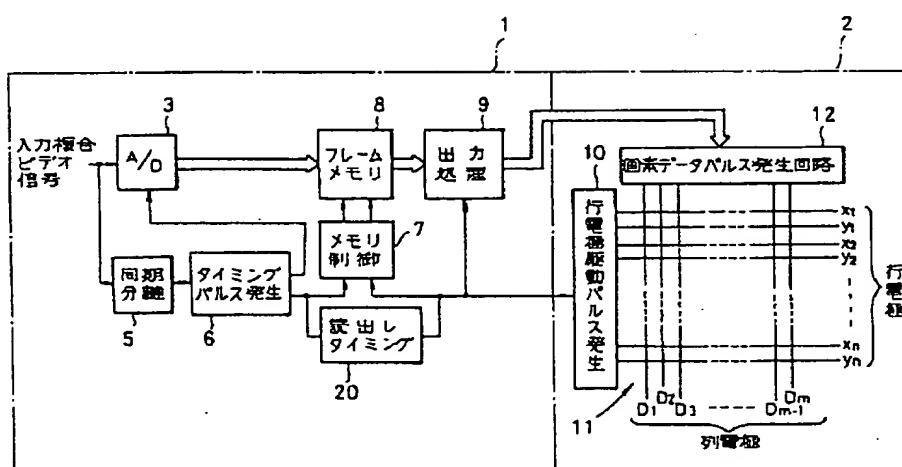
#### 【主要部分の符号の説明】

X<sub>P</sub>、Y<sub>P</sub> 予備放電用行電極

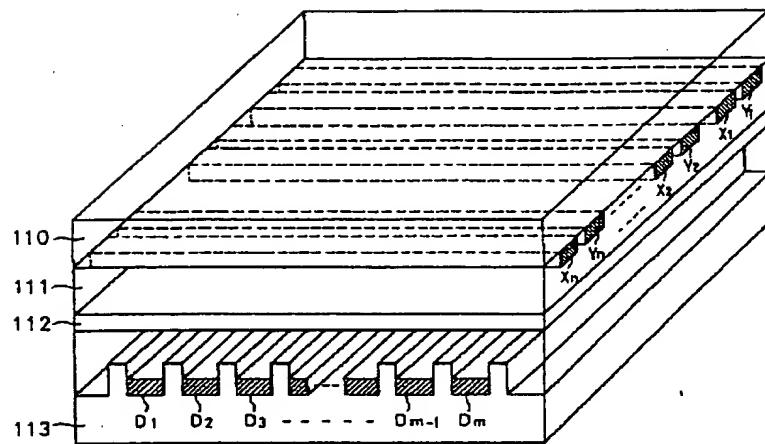
10' 行電極駆動パルス発生回路

11' プラズマディスプレイパネル

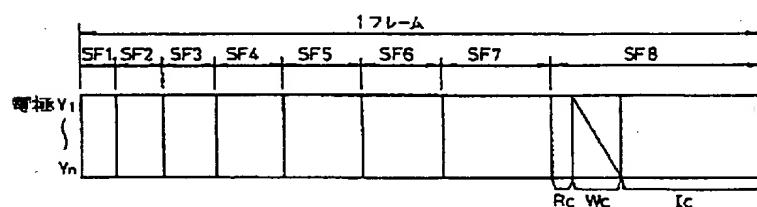
【図1】



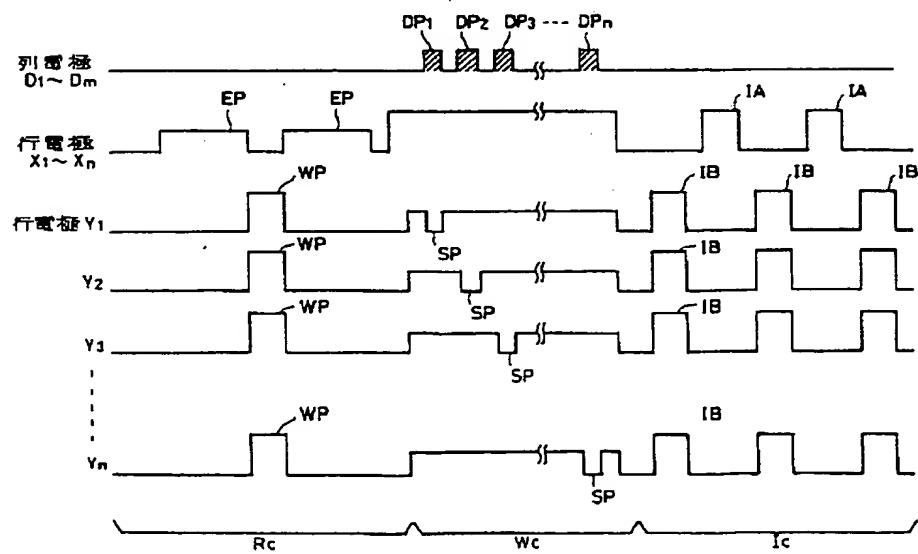
【図 2】

11

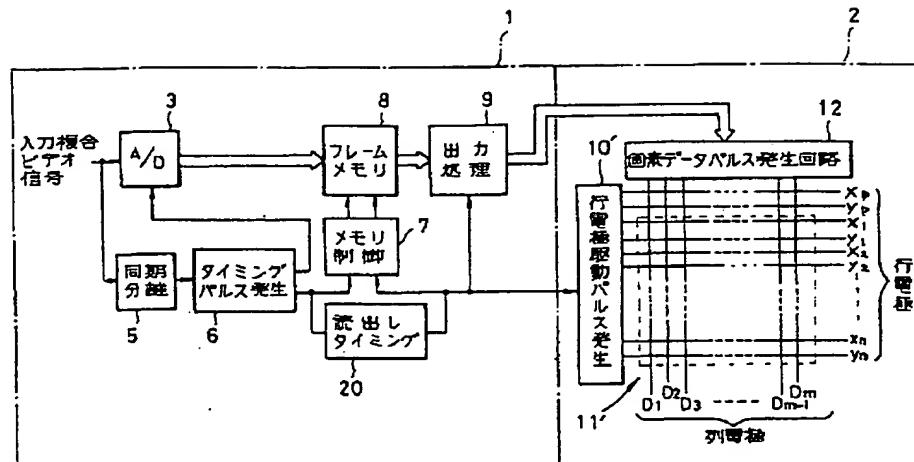
【図 3】



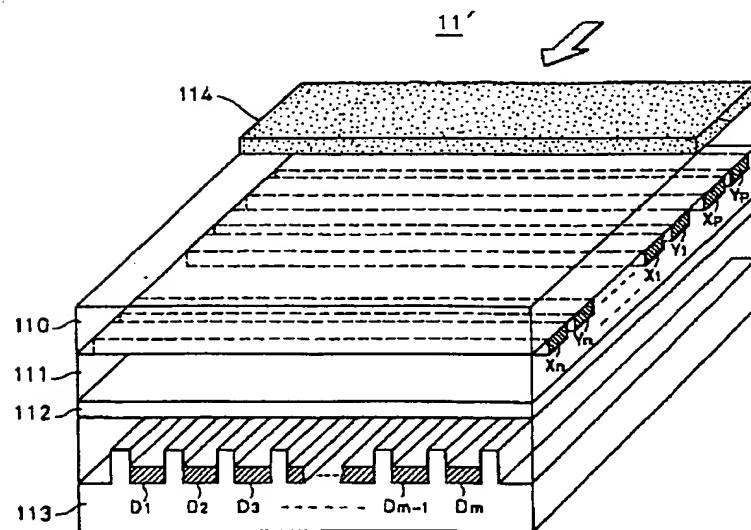
【図 4】



【図5】



【図6】



【図7】

